

DIVIDING METHOD FOR SEMICONDUCTOR BASE

Publication number: JP1225509

Publication date: 1989-09-08

Inventor: KATO MASAHIRO

Applicant: SUMITOMO ELECTRIC INDUSTRIES

Classification:

- international: H01L21/306; B28D5/00; H01L21/301; H01L21/78;
B28D5/00; H01L21/02; H01L21/70; (IPC1-7): B28D5/00;
H01L21/306; H01L21/78

- European:

Application number: JP19880052282 19880304

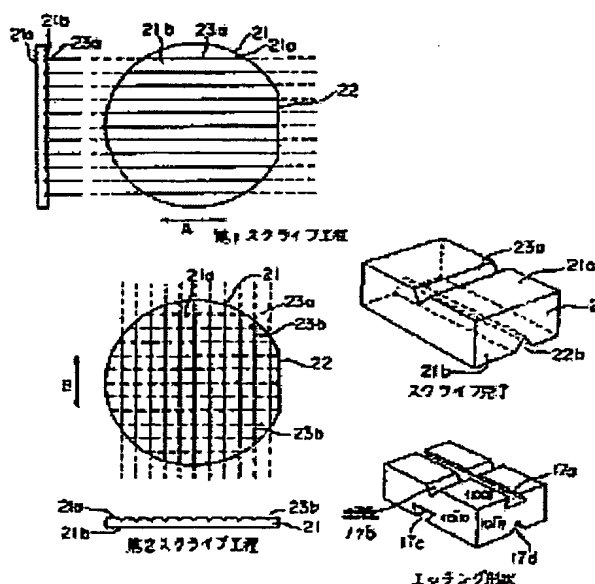
Priority number(s): JP19880052282 19880304

Report a data error here

Abstract of JP1225509

PURPOSE: To divide a semiconductor wafer with good yield by providing scribing lines cross square from the surface and the rear of a semiconductor base.

CONSTITUTION: Scribing lines are formed along the direction A in which the position of rear side 21b of a semiconductor wafer crosses square with an orientation flat 22. Then, scribing lines 23b are formed on the integrated circuit dividing lines in the direction B in parallel with the orientation flat 22. A roller is rotated on a semiconductor wafer 21 forming scribing lines 23a and 23b, and the semiconductor wafer is broken into respective semiconductor chips by said roller load. In case said dividing method is applied to a semiconductor base having a zincblende type crystal structure, the semiconductor base is scribed in the direction that the etching shape forms regular mesas 17b and 17d or reverse mesas 17a and 17c when the semiconductor base is solution etched.



Data supplied from the esp@cenet database - Worldwide

2/3

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-225509

⑤ Int. Cl.⁴

B 28 D 5/00
H 01 L 21/306
21/78

識別記号

庁内整理番号

Z-7366-3C
C-7342-5F
U-8831-5F
V-8831-5F

⑬ 公開 平成1年(1989)9月8日

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 半導体基板の分割方法

⑯ 特 願 昭63-52282

⑰ 出 願 昭63(1988)3月4日

⑱ 発 明 者 加 藤 正 裕 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社
横浜製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑳ 代 理 人 弁理士 長谷川 芳樹 外3名

FP01-0144-01

" -02

" -03

" -04

" -05

" -06

" -07

FP03-0042

" -01

" -02

FP03-0044
FP03-0046

FP03-0050 FP03-0051 FP03-0220 FP03-0228
07.11.27
ALLOWED

明 細 書

基板の分割方法。

1. 発明の名称

半導体基板の分割方法

2. 特許請求の範囲

1. 半導体基板の第1の主表面を第1の方向にスクライブラインを形成する工程と、

前記半導体基板の主表面とは半導体基板を介して反対の第2の主表面を前記第1の方向に直交する第2の方向にスクライブラインを形成する工程と、

前記第1及び第2の方向に沿って、前記半導体基板を劈開し分割する工程とを含む半導体基板の分割方法。

2. 前記半導体基板が閃亜鉛鉱結晶構造を有し、前記第1の主表面がその結晶構造の(100)面であり、前記第1の方向がその方向にパターンを形成し、溶液エッチングした時、そのエッチング断面が順メサ形状になる請求項1記載の半導体

3. 前記半導体基板が閃亜鉛鉱結晶構造を有し、前記第1の主表面がその結晶構造の(100)面であり、前記第1の方向がその方向にパターンを形成し、溶液エッチングした時、そのエッチング断面が逆メサ形状になる請求項1記載の半導体基板の分割方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体基板の分割方法に関し、特に詳細には、劈開を利用した半導体基板の分割方法に関する。

(従来技術)

半導体集積回路の作成は、フォトリソグラフィ技術、薄膜生成技術を用いて、半導体基板(ウェーハ)の表面上に多数に集積回路を形成し、その後、個々の半導体チップに分割することにより行われる。ここで半導体ウェーハを個々の半導体チップに分割する方法としては、半導体ウェーハが

結晶であることより、その劈開性を利用して分割する方法が知られている。特にGaAs結晶のような閃亜鉛鉱型結晶では、その(100)面基板の集積回路形成面の面内で互いに直交する2方向にダイヤモンドポイントツールでケガキ線(スクライプライン)を入れることにより容易にこのスクライプラインに沿って分割することができる。そして、第3図に示すように、この互いに直交するスクライプライン31a、31bを、予め半導体ウェーハ31上に作成された集積回路形成面の集積回路分割ライン30に引いた後、半導体ウェーハ31をローラ加圧することにより、このスクライプライン31a、31bに沿って劈開し矩形状に分割し、個々の半導体チップ32を作成していた。

〔発明の解決しようとする課題〕

上記の従来の方法では、半導体ウェーハの集積回路形成面上に、互いに直交するスクライプラインを形成し劈開しているが、例えば、GaAs(100)基板では、この劈開性を利用した分割

向における結晶構造は異なる。そのため、これらの互いに直交する方向に最適なスクライプラインをいれるための条件は異なってしまう。

したがって、それぞれの方向において最適条件の下でスクライプラインを入れるように条件を選ぶと分割工程が複雑になってしまう。更に、この様なスクライプラインに沿って、劈開した場合にも割れ状況もそれぞれの方向で異なる。

また更に、この様に同一平面上に互いに直交する2方向にスクライプラインを入れると、その交差部で盛り上がりが生じ、劈開の際、不都合が生じる。そのため、製品歩留りの低下を招いていた。

〔課題を解決するための手段〕

この第5図からも判るように、結晶板の上表面には順メサ形状の溝17bと逆メサ形状17aの溝が形成されるが、下表面、すなわち裏面側にも、同様に順メサ形状の溝17d及び逆メサ形状の溝17cが形成される。そして、それら表側及び裏側の同じエッチング形状を有する方向は互いに直交していることが判る。そこで本件発明者は、半

が可能なスクライプ方向は、GaAs基板を溶液エッチングしたとき、そのエッチング断面形状が順メサ及び逆メサ形状となる互いに直交する2方向に限られる。そして、この互いに直交する2方向は以下の方法により確認することができる。この確認方法を第4図を用いて説明する。この方法は、まず閃亜鉛鉱型結晶基板14の両面に保護膜15a、15bを形成し(第4図(b))、第4図(c)に示すようにある所定の方向に伸びる保護膜の除去パターン16a、16bを形成する。次に、この保護膜除去パターンを形成した閃亜鉛鉱型(GaAs)結晶基板14を溶液によるエッチングをする(第4図(d))。このエッチングの結果、これらの保護膜パターン16a、16bの方向が劈開可能な方向であれば第5図に示すようなエッチング断面形状17a、17b、17c、17dが得られる。ここで、このような互いに直交する方向におけるエッチング形状の違いは結晶構造に関係している。このエッチング形状の違いから判るように、これらのスクライプラインの方

向における結晶構造は異なる。そのため、これらの互いに直交する方向に最適なスクライプラインをいれるための条件は異なってしまう。

したがって、それぞれの方向において最適条件の下でスクライプラインを入れるように条件を選ぶと分割工程が複雑になってしまう。更に、この様なスクライプラインに沿って、劈開した場合にも割れ状況もそれぞれの方向で異なる。

また更に、この様に同一平面上に互いに直交する2方向にスクライプラインを入れると、その交差部で盛り上がりが生じ、劈開の際、不都合が生じる。そのため、製品歩留りの低下を招いていた。

〔作用〕

本発明の半導体基板の分割方法では、半導体基板の表面及び裏面より互いに直交するスクライプラインを入れることにより、同一条件のもとでスクライプラインの作成を可能にし、同一条件のもとでの劈開を可能にしている。

〔実施例〕

以下図面を参照しつつ本発明に従う実施例について説明する。

同一符号を付した要素は同一機能を有するため重複する説明は省略する。

第1図は本発明に従うGaAs半導体基板の分割方法の工程を示す。この図に示すように、この分割方法は、半導体ウェーハ上に集積回路を形成する集積回路形成工程1の終了後、半導体ウェーハの裏面（集積回路が形成されている面の裏側）に第1のスクライプラインを形成する第1のスクライプ工程2と、半導体基板の表面（集積回路が形成されている面）上に第2のスクライプラインを形成する第2のスクライプ工程3と、先に形成

ツールにより行う。更に、このスクライプラインの形成位置は集積回路形成面21aの集積回路分割ラインに対応する裏面側での位置であり、このスクライプラインの形成位置の決定は半導体ウェーハ21の固定面側、すなわち、集積回路形成面21a側より光を当て、集積回路形成面21a上に形成された集積回路分割ラインを検知し、この検知に基づき求める。また、この固定の際、半導体ウェーハの表面21aに形成された集積回路が破壊されないように注意しなければならない。

次に、第2スクライプ工程3について第2(b)図を用いて説明する。

この工程3では、先の工程2でステージ台に固定した半導体ウェーハ21をステージ台より取り外し、半導体ウェーハ21を裏返し、半導体ウェーハ21の裏面21bに粘着フィルムを貼付ける。次に、この半導体ウェーハ21の裏面21b側をステージ台に固定する。次に、第2(b)図に示すようにオリエンテーションフラット22に対して平行な方向Bの集積回路分割ライン上に、スクラ

した第1及び第2のスクライプに沿って劈開分割する半導体チップ分割工程4とより構成される。

集積回路形成工程1はフォトリソグラフィ技術と薄膜形成技術を利用して行われ、この形成は当業者にはよく知られているので詳細な説明は省略する。

次に、第1スクライプ工程2について第2(a)図を用いて説明する。この第2(a)図は、半導体ウェーハの裏面及び断面を示し、半導体ウェーハの裏面側にスクライプラインが形成された状態を示している。

この工程2では、半導体ウェーハ21の表面21aをステージ台に固定し、次に半導体ウェーハの表面上に形成された集積回路分割ラインに対応する裏面側21bの位置をオリエンテーションフラット22に直交する方向Aに沿ってスクライプラインを形成する。そして、この集積回路分割ラインは半導体ウェーハの集積回路形成面21aに集積回路形成の際、同時に形成されている。このスクライプライン形成はダイヤモンドポイント

イプライン23bを形成する。ここで、粘着フィルムに貼付けるのは、次の工程で分割した際、分割された半導体チップがバラバラにならないためである。第2(c)図に両面にスクライプラインが形成された状態の半導体ウェーハの一部分を示す。

次に、半導体チップ工程4では、このようにスクライプライン23a、23bを形成した半導体ウェーハ21をステージ台より離脱させ、ローラを半導体ウェーハ21上で転がし、このローラ荷重により半導体ウェーハ21を個々の半導体チップにブレーキングする。

本発明は上記実施例に限定されるものでなく、種々の変形例が考えられ得る。

具体的には、上記実施例では、スクライプラインを形成する際、半導体ウェーハの集積回路形成面の裏面側より行っているが、これとは逆に半導体ウェーハの表面側、すなわち、集積回路が形成されている面から行ってもよい。

また更に、上記実施例では、集積回路形成工程

終了後に、スクライブラインの形成を行っているが、集積回路形成工程1の最終工程で半導体ウェーハの裏面に金属等を蒸着する工程がある場合には、半導体ウェーハの裏面側からのスクライブライン作成は、この金属蒸着前に行なってもよい。

また更に、上記実施例ではスクライブラインを形成する際、ダイヤモンドポイントツールを使用しているが、これに限定されず、例えば、レーザー光等を利用してスクライブラインを形成してもよい。

また更に、上記実施例では、集積回路が形成された半導体ウェーハの分割について説明してきたが、このような半導体ウェーハに限定されず、種々の結晶基板の分割に適用でき、特に閃亜鉛鋅型結晶構造を有する結晶の分割には有用である。

〔発明の効果〕

本発明の半導体基板の分割方法では、その分割のためのスクライブラインの形成が同じ条件のもとで行うことができるので、スクライブライン形成の条件出しが容易になり、分割工程を簡略化で

きる。

また更に、互いに直交するスクライブラインが互いに重ならないため、交差による盛り上がり等の不都合が生じない。

更に、特にこのようなスクライブラインを形成した半導体ウェーハをローラ荷重によりプレーキングする際、互いに直交するスクライブラインに作用する荷重が同一条件で作用するため、劈開条件が同じとなり、歩留りよく半導体ウェーハの分割が可能となる。

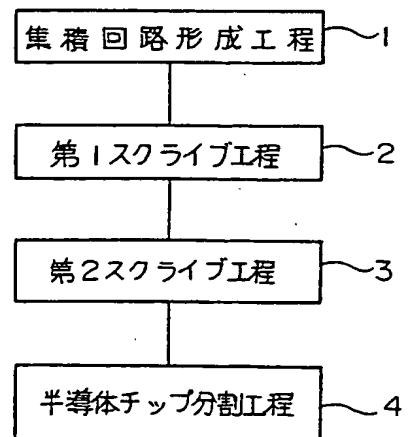
4. 図面の簡単な説明

第1図は本発明の工程を示す図、第2(a)図、第2(b)図、第2(c)図は第1及び第2のスクライブ工程における半導体ウェーハの状態を示す図、第3図は、従来例の半導体ウェーハの分割状態を示す図、第4図は結晶の劈開方向を確認する方法を説明する図及び第5図は第4図の方法により確認されたエッチング形状を示す図である。

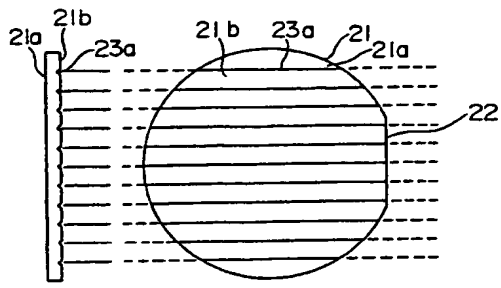
1…集積回路形成工程、2…第1スクライブ工

程、3…第2スクライブ工程、4…半導体チップ分割工程、21、31…半導体ウェーハ、21a…半導体ウェーハの表面、21b…半導体ウェーハの裏面、22…オリエンテーションフラット、23a、23b、31a、31b…スクライブライン。

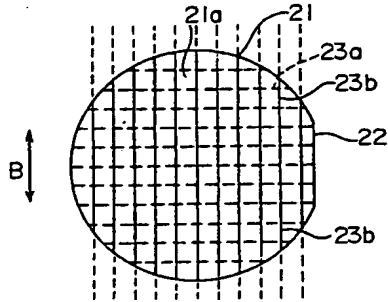
特許出願人 住友電気工業株式会社
代理人弁理士 長谷川 芳 樹
同 寺 崎 史 朗



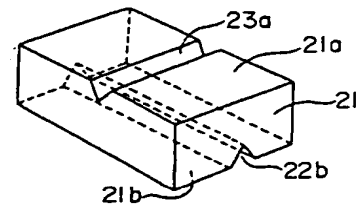
本発明の工程
第1図



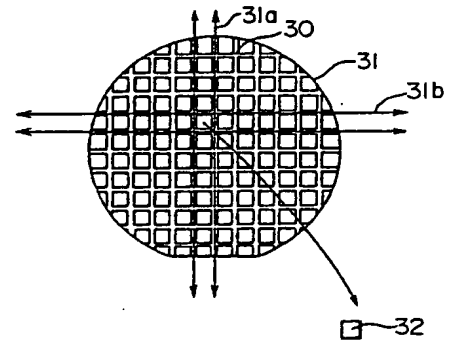
第1スクライプ工程
第2(a)図



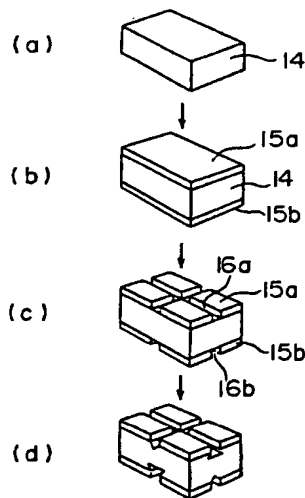
第2スクライプ工程
第2(b)図



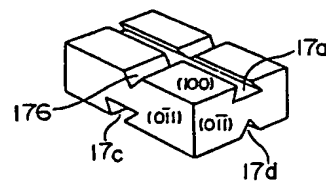
スクライプ完了
第2(c)図



従来例
第3図



劈開方向の確認
第4図



エッチング形状
第5図